

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-049268

(43)Date of publication of application : 11.03.1986

(51)Int.Cl.

G06F 15/16

G06F 13/18

(21)Application number : 59-169922

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.08.1984

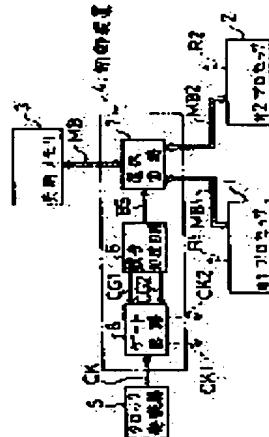
(72)Inventor : KIMURA MASAO

## (54) SHARED MEMORY ACCESS SYSTEM

## (57)Abstract:

PURPOSE: To process contention of an access of a shared memory for respective processors of a multi-processor system with an simple device by installing a function part which controls a clock of a processor to a control device.

CONSTITUTION: A control device 4 exists between processors 1 and 2 and a shared memory 3. The control device 4 has a selecting circuit 7, a contention processing circuit 6 and a gate circuit 8. For an access request to a shared memory 3 outputted simultaneously from the processors 1 and 2, the processor setting priority is connected through the selecting circuit 7 to the shared memory 3, and in a clock signal supplied from an external clock oscillator 5 through the gate circuit 8 to the processors 1 and 2, supplying of a clock signal to the processor to which priority is not set is stopped.



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-49268

⑬ Int. Cl. 4

G 06 F 15/16  
13/18

識別記号

厅内整理番号

F-6619-5B  
7165-5B

⑭ 公開 昭和61年(1986)3月11日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 共用メモリアクセス方式

⑯ 特願 昭59-169922

⑰ 出願 昭59(1984)8月16日

⑱ 発明者 木村政雄 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士曾我道照 外3名

### 明細書

#### 1. 発明の名称

共用メモリアクセス方式

#### 2. 特許請求の範囲

複数個のプロセッサと、共用メモリと、両者間に介在する制御装置とから成るマルチプロセッサシステムの共用メモリアクセス方式において、上記制御装置には選択回路と競合処理回路とゲート回路とが含まれ、上記競合処理回路は、上記複数個のプロセッサから同時に出された上記共用メモリへのアクセス要求に対して、優先権を設定したプロセッサを上記選択回路を介して上記共用メモリに接続させ、外部のクロック源から上記ゲート回路を介して上記複数個のプロセッサに供給されているクロック信号の中で、優先権を設定されなかつたプロセッサに対するクロック信号の供給を停止するようにされている共用メモリアクセス方式。

#### 3. 発明の詳細な説明

[発明の技術分野]

この発明は、共用メモリとそれをアクセス制御するマルチプロセッサとの間に置かれた制御装置による共用メモリアクセス方式に関するものである。

#### [従来技術]

従来、マルチプロセッサシステムのためのメモリアクセス方式としては、個々のプロセッサとメモリ、制御装置との間で、アクセス要求およびアクセス応答という2個の制御信号を用いて相互の動作を確認し合う、いわゆるハンドシェイク方式によるものが知られている。ここで、従来のこの種の共用メモリアクセス方式を第1図および第2図に基づいて説明する。第1図はこの従来方式においてプロセッサ、メモリ等の接続関係を示すブロック図であり、第2図はそのアクセス動作を説明するためのタイミングチャート図である。

これらの第1図および第2図において、(1)は#1プロセッサ、(2)は#2プロセッサ、(3)はこれらの中の#1、#2プロセッサ(1)、(2)からアクセスされる共用メモリ、(4)はこれらの#1、#2

プロセッサ(1),(2)からのアクセス要求の競合を制御する制御装置、(5)はクロック発振器、(6)はアクセス要求の優先権を決定する競合処理回路、(7)はメモリバスを選択、接続する選択回路であり、これらの競合処理回路(6)および選択回路(7)によつて前記制御回路(4)が構成される。また、R1, R2は#1, #2プロセッサ(1),(2)がそれぞれに発するアクセス要求、A1, A2は制御装置(4)が#1, #2プロセッサ(1),(2)のそれぞれに対して発するアクセス応答、MB1, MB2はアドレス、データなどが転送されるメモリバスで、MBを共用メモリバス、MB1, MB2をそれぞれ#1, #2プロセッサ(1),(2)に対する個別メモリバスと呼ぶ。BSは共用メモリバス(MB)の使用権を得るプロセッサを示すバス選択信号、CC1, CC2, CC3, CC4は、#1, #2プロセッサ(1),(2)のいずれかのクロック周期であり、メモリアクセスに関するものである。

次に動作について説明する。#1, #2プロセッサ(1),(2)はクロック発振器(5)から供給され

(2)から同時にアクセス要求を受けたとき、選択回路(7)とともに個別メモリバスMB1, MB2を順番に共用メモリバスMBに接続する機能を果たす。第2図におけるCC3, CC4はこのときのクロック周期を示すものであり、ここでは#1プロセッサ(1)に優先権があるものとされている。最初のクロック周期CC3では、優先権を与えたアクセス要求(この例ではR1)に対して前記と同様の方法でアクセス処理を行い、他のアクセス要求(この例ではR2)は、優先権を与えたアクセス要求に対する処理が完了するまで待たされる。そして、前記処理の完了後に次続するクロック周期CC4において同様にアクセス処理を行う。

複数個のプロセッサによる同一メモリのアクセスの競合を許すようなマルチプロセッサシステムでは、このように競合状態によりメモリのアクセスタイムが異なるため、プロセッサは、アクセス要求を発した後でアクセス応答をセンスしている必要がある。

このようなアクセス応答のセンスをすることを

るクロックCRに同期して動作している。今、#1プロセッサ(1)が共用メモリ(3)に記憶されているデータを処理するために、クロック周期CC1でアクセス要求R1を発したとする。R1を受けた制御装置(4)は、バス選択信号BSを#1プロセッサ(1)のメモリバスMB1を選択するレベルに設定する。これにより、MB1は共用メモリバスMBに接続され、#1プロセッサ(1)と共用メモリ(3)との間のアクセスが可能になる。同時に、制御装置(4)はアクセス応答A1を#1プロセッサ(1)に送り、アクセスが可能であることを知らせる。一方、アクセス要求R2を発した#2プロセッサ(2)は、制御装置(4)からのアクセス応答A1を待ち、このA1を受けた後にメモリバスMB1上のデータを取り込み、アクセス要求R2をオフにする。#2プロセッサ(2)からのアクセスも、対応するアクセス要求およびアクセス応答R2, A2により、クロック周期CC2において示されるようにして同様に行われる。

競合処理回路(6)は、#1, #2プロセッサ(1),

必要とする従来のメモリアクセス方式は、メモリアクセスをマイクロプログラムで制御するような構成のプロセッサにとつては、極めて都合の悪い方式であつた。例えば、ある1個のマイクロ命令の実行とこれに続く別異のマイクロ命令の読み出しがクロック周期で行われるようなバイブライン方式のマイクロプログラムでは、アクセス要求を発するマイクロ命令の後に、アクセス応答を条件とする条件分岐のマイクロ命令を入れ、アクセス応答を受けるまではこの条件分岐のマイクロ命令自身でループし、アクセス応答を受けて始めて次の処理へ進むようなマイクロプログラムを組んで実現しなければならなかつた。

#### 〔発明の概要〕

この発明は、上記のような従来のメモリアクセス方式の欠点を除去するためになされたもので、制御装置にプロセッサのクロックを制御する機能部を備えることにより、これまでプロセッサが行つていたアクセス応答のセンス処理を不要とし、プロセッサによる共用メモリのアクセスを簡単な

やり方で実現することができるメモリアクセス方式を提供することを目的としている。

〔発明の実施例〕

以下、この発明の実施例を第3図および第4図に述べて説明する。第3図はこの発明の実施例においてメモリ、プロセッサ等の接続関係を示すブロック図であり、第4図はそのメモリアクセス動作を説明するためのタイミングチャート図である。

これらの第3図および第4図において、(1)は#1プロセッサ、(2)は#2プロセッサ、(3)はこれら#1、#2プロセッサ(1)、(2)からアクセス可能な共用メモリ、(4)はこの発明の実施例における制御装置、(5)はクロック発振器、(6)はアクセス要求の優先権を決定し、その優先順位に基づいて後述されるBS、CG1、CG2信号を生成する競合処理回路、(7)はメモリバスを選択、接続する選択回路、(8)はクロック発振器(5)から受けたクロックのプロセッサへの送出を制御するゲート回路であり、これらの競合処理回路(6)、選択回路(7)および

クロック発振器(5)が供給するクロックCKと等価であり、ゲート回路(8)を経由してそのままの波形で#1、#2プロセッサ(1)、(2)に送出されている。

今、#1プロセッサ(1)が共用メモリ(3)に記憶されているデータを処理するため、クロック周期CC1においてアクセス要求R1を発したとする。R1を受けた制御装置(4)は、バス選択信号BSを#1プロセッサ(1)の個別メモリバスMB1を選択するレベルに設定する。これにより、#1プロセッサ(1)の個別メモリバスMB1は共用メモリバスMBに接続され、#1プロセッサ(1)と共用メモリ(3)との間のアクセスが可能となる。また、競合処理回路(6)は、ゲート回路(8)へのクロックゲート信号CG1をゲートを開く通常状態に保持し、次に受ける予定のクロック発振器(5)からのクロックCKも、引続き#1プロセッサ(1)に送り出せるレベルに保持する。一方、アクセス要求R1を発した#1プロセッサ(1)は、R1を発したクロック周期の終端、即ち次のクロックバルス

ゲート回路(8)によつて前記制御回路(4)が構成される。また、R1、R2は#1、#2プロセッサ(1)、(2)がそれぞれに発するアクセス要求、CK1、CK2は制御装置(4)が#1、#2プロセッサ(1)、(2)のそれぞれに対して発するクロック、MB1、MB2はアドレス、データなどが転送されるメモリバスで、MBを共用メモリバス、MB1、MB2をそれぞれ#1、#2プロセッサ(1)、(2)に対する個別メモリバスと呼ぶ。BSは共用メモリバスMBの使用権を得るプロセッサを示すバス選択信号、CG1、CG2はそれぞれ、#1、#2プロセッサ(1)、(2)に対するクロックの送出を制御するクロックゲート信号、CC1、CC2、CC3、CC4は#1、#2プロセッサ(1)、(2)のいずれかのクロック周期であり、メモリアクセスに関するものである。

次に動作について説明する。#1、#2プロセッサ(1)、(2)はそれぞれ制御装置(4)から供給されるクロックCK1、CK2に同期して動作している。通常状態では、これらのクロックCK1、CK2はクロ

の立上りで無条件にメモリバスMB1上のデータを取り込み、前記アクセス要求R1をオフにする。

#2プロセッサ(2)からの単独のアクセスも、対応するアクセス要求等R2、BS、CK2、CG2により、クロック周期CC2において示されるようにして同様に行われる。

以上は、#1、#2プロセッサ(1)、(2)が別異なるクロック周期においてアクセス要求を発したときの動作を説明したものである。次いで、アクセス要求が同時に発せられたときの動作について説明する。

ある一連の処理を実行している#1プロセッサ(1)と、これとは別の処理を実行している#2プロセッサ(2)とが、偶然、同時にそれぞれのアクセス要求R1、R2を発したとする。第4図におけるCC1はこのときのクロック周期である。競合処理回路(6)は双方のプロセッサ(1)、(2)からのアクセス要求R1、R2を同時に受けるとそのいずれを優先するかを決定する。ここではR1が優先されているものとする。R1、R2を同時に受

けた競合処理回路(6)は R1 に優先権を与え、選択回路(7)に対するバス選択信号 BS を、#1 プロセッサ(1)の個別メモリバス MB1 を共用メモリバス MB に接続するレベルに設定する。これにより、#1 プロセッサ(1)と共用メモリ(3)との間のアクセスが可能となる。また、競合処理回路(6)は、通常状態ではゲートを開くレベルに設定しているクロックゲート信号を、アクセス要求の競合により優先権を一方のプロセッサに与えたときには、優先権のない他方のプロセッサに対してはゲートを閉じるレベルに設定し、次のクロックの供給を停止する。したがつて、この例においては、#2 プロセッサ(2)へのクロック CK2 を停止するレベルにクロックゲート信号 CG2 を設定することになる。

#1 プロセッサ(1)はアクセス要求 R1 を発した後、次に続くクロック CK1 を通常通りゲート回路(8)から受けることができ、このクロック CK1 で無条件にアクセスデータを読み込み、R1 をオフにする。これに対して、#2 プロセッサ(2)は、

アクセス要求 R2 をオフにする。ここで、クロック周期 CC3 と CC4 とは、#2 プロセッサ(2)の側からみれば、時間的に倍増された単一のクロック周期と等価なものであり、アクセス要求 R2 を単独に処理するクロック周期 CC2 の場合との間に格別な違いはない。

以上の説明で重要なことは、各々のプロセッサはメモリへのアクセス要求を発したクロック周期内に所望のアクセスデータを得ていることであり、従来のこの種の方式とは異なり、アクセス応答をセンスしている必要がなく、共用メモリ(3)を、1 クロック周期に 1 回のアクセスができるプロセッサ専用メモリであるかの如くに扱うことができるることである。

メモリアクセスをマイクロプログラムで制御するようにされたプロセッサにとつては、このことは、アクセス応答を条件とする条件分岐のマイクロ命令が不要となり、アクセス要求を発するマイクロ命令の後にアクセスデータを処理するマイクロ命令を直結させるようなマイクロプログラムを

これとは異なり、アクセス要求 R2 を発した後、次に続くクロック CK2 を受けることができないため、#2 プロセッサ(2)の状態は変化せず、R2 はオンの状態に留まる。

クロック周期 CC4 においては、#1 プロセッサ(1)からのアクセス要求 R1 がオフとなつているため、#2 プロセッサ(2)が単独でアクセス要求 R2 を発しているクロック周期 CC3 の場合と同様である。したがつて、制御装置(4)はクロック周期 CC4 においては CC2 の場合と同様に、バス選択信号 BS を #2 プロセッサ(2)の個別メモリバス MB2 を選択するレベルに設定し、#2 プロセッサ(2)と共用メモリ(3)との間のアクセスを可能にする。また、一旦閉じるレベルに設定されていたクロックゲート信号 CG2 を、クロック周期 CC4 においては再び通常状態に戻し、#2 プロセッサ(2)に対するクロック CK2 の供給を再開する。

#2 プロセッサ(2)は、アクセス要求 R2 を発した後で始めて受けるこの再開クロック CK2 により、無条件にアクセスデータを読み込み、前記ア

クセ要求 R2 をオフにする。ここで、クロック周期 CC3 と CC4 とは、#2 プロセッサ(2)の側からみれば、時間的に倍増された単一のクロック周期と等価なものであり、アクセス要求 R2 を単独に処理するクロック周期 CC2 の場合との間に格別な違いはない。

なお、上記実施例では、プロセッサが 2 台の構成のものを示したが、これに限らず、プロセッサが 3 台以上であつてもよい。

#### 【発明の効果】

以上のように、この発明によればマルチプロセッサシステムの各々のプロセッサに対する共用メモリのアクセスの競合を、簡単な構造の制御装置で処理できるようにしたので、マルチプロセッサシステムを安価なものにできる効果がある。

#### 【図面の簡単な説明】

第 1 図は従来の共用メモリアクセス方式のプロセッサ、メモリ等の接続関係を示すブロック図、第 2 図は従来方式のメモリアクセス動作のタイミングチャート図、第 3 図はこの発明の実施例によ

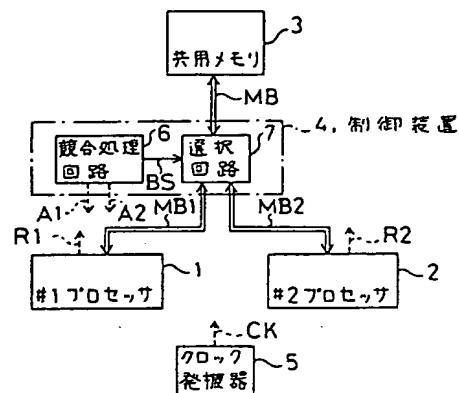
る共用メモリアクセス方式のプロセッサ、メモリ等の接続関係を示すブロック図、第4図はこの発明の実施例方式のメモリアクセス動作のタイミングチャート図である。

(1)、(2) . . #1, #2プロセッサ、(3) . . 共用メモリ、(4) . . 制御装置、(5) . . クロック発振器、(6) . . 競合処理回路、(7) . . 選択回路、(8) . . ゲート回路、R1, R2 . . アクセス要求、A1, A2 . . アクセス応答、MB . . 共用メモリバス、MB1, MB2 . . 個別メモリバス、BS . . バス選択信号、CG1, CG2 . . クロックゲート信号、CK, CK1, CK2 . . クロック、CC1, CC2, CC3, CC4 . . メモリアクセスに関するクロック周期。

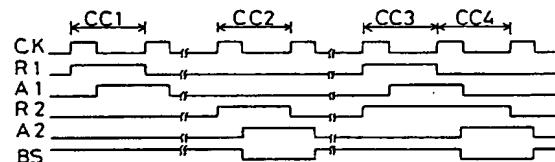
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 曽我道熙  
監査官  
税金支拂金印

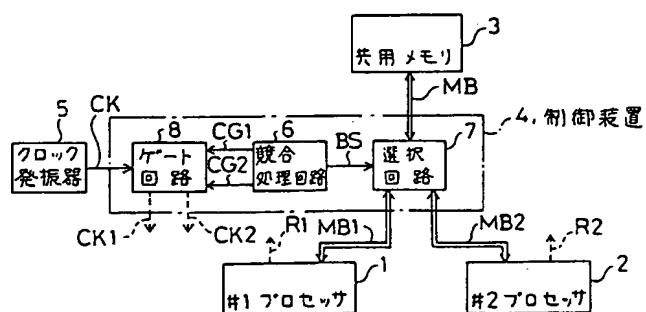
第1図



第2図



第3図



第4図

